

**TRƯỜNG ĐẠI HỌC NAM CẦN THƠ
KHOA CÔNG NGHỆ THÔNG TIN**



**XÂY DỰNG HỆ THỐNG MÔ PHỎNG
THỰC HÀNH THIẾT KẾ VI MẠCH**

ĐỀ TÀI NGHIÊN CỨU KHOA HỌC CẤP CƠ SỞ

Mã số: C24.69

Chủ nhiệm đề tài: TS. Ngô Viết Thịnh

Thành viên:

- 1. ThS. GVC. Đoàn Hòa Minh**
- 2. ThS. Võ Văn Phúc**
- 3. ThS. Trần Văn Thiện**
- 4. ThS. Trương Hùng Chen**

Cần Thơ, tháng 7 năm 2025

**TRƯỜNG ĐẠI HỌC NAM CẦN THƠ
KHOA CÔNG NGHỆ THÔNG TIN**



XÂY DỰNG HỆ THỐNG MÔ PHỎNG THỰC HÀNH THIẾT KẾ VI MẠCH

ĐỀ TÀI NGHIÊN CỨU KHOA HỌC CẤP CƠ SỞ

Mã số: C24.69

Chủ nhiệm đề tài: TS. Ngô Viết Thịnh

Thành viên:

- 1. ThS. GVC. Đoàn Hòa Minh**
- 2. ThS. Võ Văn Phúc**
- 3. ThS. Trần Văn Thiện**
- 4. ThS. Trương Hùng Chen**

Cần Thơ, tháng 8 năm 2025

LỜI NÓI ĐẦU

Trong bối cảnh phát triển ngành thiết kế vi mạch tại Việt Nam, việc xây dựng các công cụ hỗ trợ học tập và nghiên cứu đóng vai trò quan trọng trong việc nâng cao năng lực cộng đồng kỹ sư và sinh viên trong lĩnh vực này. Phần mềm DNC Mô phỏng Thiết kế Vi mạch Verilog (DNCVerilogSim) được phát triển dựa trên nền tảng mã nguồn mở, với mục tiêu cung cấp một công cụ mô phỏng thiết kế vi mạch thân thiện, dễ tiếp cận và hoàn toàn miễn phí cho người dùng.

Sản phẩm này không chỉ hỗ trợ giảng dạy các môn học liên quan đến thiết kế số và Verilog tại các trường đại học, mà còn góp phần thúc đẩy cộng đồng thiết kế vi mạch Việt Nam tiếp cận gần hơn với các tiêu chuẩn công nghiệp. Việc tích hợp các tính năng mô phỏng, kiểm thử và phân tích trong một giao diện đơn giản giúp sinh viên và giảng viên dễ dàng thực hành và kiểm chứng các ý tưởng thiết kế.

Trong tương lai, DNCVerilogSim sẽ được mở rộng thành một hệ sinh thái thiết kế vi mạch hoàn chỉnh, bao gồm cả phần thiết kế front-end (mô tả hành vi, kiểm thử, tổng hợp) và back-end (bố trí, định tuyến, kiểm tra vật lý). Với định hướng phát triển cộng đồng và cam kết duy trì tính miễn phí, công cụ này hy vọng sẽ trở thành một phần không thể thiếu trong hành trình đào tạo và nghiên cứu thiết kế vi mạch tại Việt Nam.

LỜI CAM ĐOAN

Tôi xin cam đoan rằng báo cáo nghiên cứu này là kết quả của quá trình làm việc nghiêm túc, độc lập và trung thực của bản thân. Các nội dung, số liệu, hình ảnh và kết quả trình bày trong báo cáo đều do tôi thực hiện, không sao chép từ bất kỳ nguồn nào mà không trích dẫn rõ ràng.

Trong quá trình phát triển DNCVerilogSimulator, tôi có sử dụng các công cụ mã nguồn mở như Icarus Verilog (trình biên dịch và mô phỏng Verilog) và GTKWave (trình hiển thị waveform) để hỗ trợ việc kiểm thử và phân tích kết quả mô phỏng. Tôi cũng đã sử dụng Microsoft Copilot để hỗ trợ trong quá trình lập trình và biên soạn nội dung báo cáo. Việc sử dụng các công cụ này tuân thủ đúng giấy phép và quy định liên quan, đồng thời các nguồn tham khảo đều được ghi rõ trong báo cáo.

Tôi đã tuân thủ đầy đủ các quy định về đạo đức nghiên cứu và học thuật. Những tài liệu tham khảo, công trình nghiên cứu của người khác được sử dụng trong báo cáo đều đã được ghi rõ nguồn gốc.

Tôi hoàn toàn chịu trách nhiệm về tính trung thực và nội dung của báo cáo này.

Ngày 07 tháng 08 năm 2025

Tác giả báo cáo

TS Ngô Việt Thịnh

TÓM TẮT

Phần mềm Mô phỏng Thiết kế Vi mạch Verilog DNCVerilogSim là một ứng dụng mã nguồn mở, gọn nhẹ, được thiết kế nhằm hỗ trợ việc thiết kế và mô phỏng mạch số sử dụng ngôn ngữ mô tả phần cứng Verilog. Ứng dụng được xây dựng dựa trên các công cụ đã được kiểm chứng như Icarus Verilog (biên dịch và mô phỏng) và GTKWave (phân tích waveform), mang đến một môi trường tích hợp phù hợp cho mục đích giảng dạy và nghiên cứu trong cộng đồng thiết kế vi mạch tại Việt Nam.

DNCVerilogSim hướng đến việc giảm rào cản tiếp cận cho sinh viên và kỹ sư bằng cách cung cấp một nền tảng miễn phí, dễ sử dụng để thực hành các quy trình thiết kế số ở giai đoạn front-end. Với giao diện thân thiện và khả năng tích hợp mô phỏng cùng phân tích waveform, ứng dụng cho phép người dùng viết, kiểm thử và gỡ lỗi mã Verilog một cách hiệu quả.

Trong tương lai, dự án đặt mục tiêu mở rộng thành một hệ sinh thái thiết kế vi mạch hoàn chỉnh, bao gồm cả các giai đoạn front-end và back-end. Với định hướng duy trì tính mã nguồn mở và miễn phí, DNCVerilogSim góp phần thúc đẩy giáo dục thiết kế vi mạch và khuyến khích đổi mới sáng tạo trong lĩnh vực bán dẫn đang phát triển tại Việt Nam.

MỤC LỤC

LỜI NÓI ĐẦU	i
LỜI CAM ĐOAN	ii
TÓM TẮT	iii
MỤC LỤC.....	v
DANH MỤC TỪ VIẾT TẮT.....	viii
DANH MỤC BẢNG.....	ix
DANH MỤC HÌNH	x
PHẦN 1. MỞ ĐẦU.....	1
1.1 LÝ DO CHỌN ĐỀ TÀI.....	1
1.2 MỤC TIÊU NGHIÊN CỨU	2
1.2.1 Mục tiêu chung.....	2
1.2.2 Mục tiêu cụ thể	2
1.3 ĐỐI TƯỢNG VÀ PHẠM VI NGHIÊN CỨU	2
1.3.1 Đối tượng nghiên cứu.....	2
1.3.2 Phạm vi nghiên cứu	3
1.4 PHƯƠNG PHÁP NGHIÊN CỨU	3
1.5 Ý NGHĨA CỦA NGHIÊN CỨU	3
1.6 BỐ CỤC ĐỀ TÀI.....	4
PHẦN 2. CƠ SỞ LÝ LUẬN.....	5
2.1 Tổng quan về thiết kế vi mạch.....	5
2.2 Ngôn ngữ mô tả phần cứng Verilog HDL	5
2.3 Vai trò của mô phỏng trong đào tạo thiết kế vi mạch.....	6
2.4 Các công cụ mô phỏng thiết kế vi mạch hiện nay	6
2.4.1 Công cụ thương mại	6
2.4.2 Công cụ mã nguồn mở	6
2.5 Hướng phát triển công cụ mô phỏng tiếng Việt	7
PHẦN 3. THỰC NGHIỆM.....	8
3.1 Mô hình tổng thể hệ thống.....	8

3.2 Công nghệ và công cụ sử dụng.....	8
3.2.1 Ngôn ngữ lập trình và môi trường phát triển	8
3.2.2 Trình biên dịch Verilog – Icarus Verilog	8
3.2.3 Trình xem tín hiệu – GTKWave	8
3.2.4 Công cụ đóng gói – PyInstaller	9
3.3 Giao diện người dùng	9
3.4 Quy trình triển khai phần mềm.....	9
3.5 Các bài thực hành mô phỏng sử dụng phần mềm.....	10
3.6 Nhận xét về hiệu quả triển khai	10
PHẦN 4. KẾT QUẢ NGHIÊN CỨU	11
4.1 Đánh giá tổng quan về phần mềm DNCVerilogSim	11
4.2 Các chức năng chính đã được hiện thực hóa	11
4.2.1 Giao diện người dùng trực quan – tiếng Việt.....	11
4.2.2 Biên dịch và mô phỏng bằng Icarus Verilog.....	11
4.2.3 Hiển thị tín hiệu bằng GTKWave	11
4.3 Hiệu quả áp dụng trong thực hành đào tạo	12
4.4 Khả năng mở rộng và tích hợp	12
4.5 Đánh giá của người dùng thử nghiệm	13
PHẦN 5. KẾT LUẬN VÀ KIẾN NGHỊ.....	14
5.1 Kết luận.....	14
5.2 Kiến nghị.....	14
5.2.1 Đối với các cơ sở đào tạo kỹ thuật	14
5.2.2 Đối với nhà phát triển và nhóm nghiên cứu	15
5.2.3 Đối với các cơ quan quản lý – tài trợ nghiên cứu	15
TÀI LIỆU THAM KHẢO.....	16
PHỤ LỤC.....	17
Phụ lục A: Một số đoạn mã nguồn tiêu biểu	17
A.1 Ví dụ mã thiết kế mạch AND 2 ngõ vào	17
A.2 Ví dụ mã testbench cho mạch AND	17

A.3 Đoạn mã Python tích hợp Icarus Verilog	17
Phụ lục B: Hình ảnh giao diện phần mềm DNCVerilogSim.....	18
B.1 Giao diện Biên dịch, mô phỏng và hiển thị sóng tín hiệu (Waveforms)	18
B.2 Cửa sổ GTKWave hiển thị sóng tín hiệu (waveform).....	18
Phụ lục C: To use DNCVerilogSim:	19
Phụ lục D: Logic Gates and Fundamentals in Verilog	20
D.1 Simulation Basics	20
D.2 Design Questions	22
D.3 Testbench Questions.....	24
D.4 Reverse Engineering Challenges	28
D.5 Debugging and design styles	32
D.6 Design specification	34

DANH MỤC TỪ VIẾT TẮT

Từ viết tắt	Viết đầy đủ	Diễn giải
IC	Integrated Circuits	Vi mạch tích hợp
GUI	Graphical User Interface	Giao diện người dùng đồ họa
Verilog HDL hoặc VHDL	Verilog Hardware Description Language	Ngôn ngữ mô tả phần cứng Verilog
AI	Artificial Intelligence	Trí tuệ nhân tạo
FSM	Finite State Machine	Hệ thống có số lượng trạng thái xác định và chuyển đổi giữa các trạng thái dựa trên đầu vào và điều kiện.
RTL	Register Transfer Level	Mức truyền thanh ghi
IEEE	Institute of Electrical and Electronics Engineers	Viện Kỹ sư Điện và Điện tử

DANH MỤC BẢNG

Bảng 3.1: Một số bài thực hành mô phỏng tiêu biểu	10
Bảng 4.1: So sánh hiệu quả một số phần mềm	12

DANH MỤC HÌNH

Hình B.1: Giao diện Biên dịch, mô phỏng và hiển thị sóng tín hiệu	18
Hình B.2: Cửa sổ GTKWave hiển thị sóng tín hiệu (waveform)	18
Hình D.1: Waveform #1	28
Hình D.2: Waveform #2:	29